

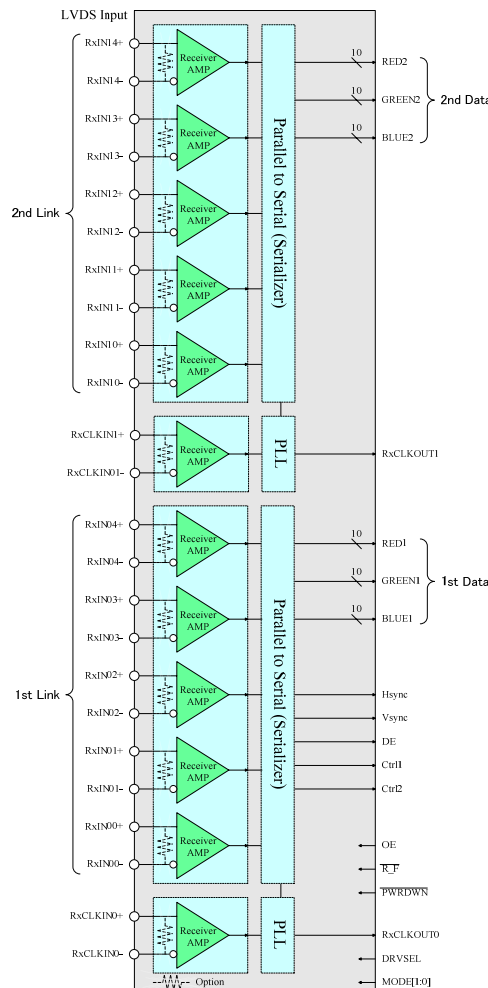
概要

CL12492B は、最高 QXGA までの解像度を持つフラット・パネル・ディスプレイとホストマシンの間で、デュアルピクセルでのデータ伝送をサポートするレシーバです。高速な 10 ペアの LVDS(低電圧差動信号)直列データを 60 ビットの LVCMOS 並列データ(30 ビット・カラーの 2 ピクセル分)に復元します。また、制御信号(HSYNC, VSYNC, DE)をブランキング期間中に伝送します。CL12492B レシーバはバス幅が広く高速な LVCMOS インタフェースで問題となっている EMI やケーブルサイズを解決するには理想的です。

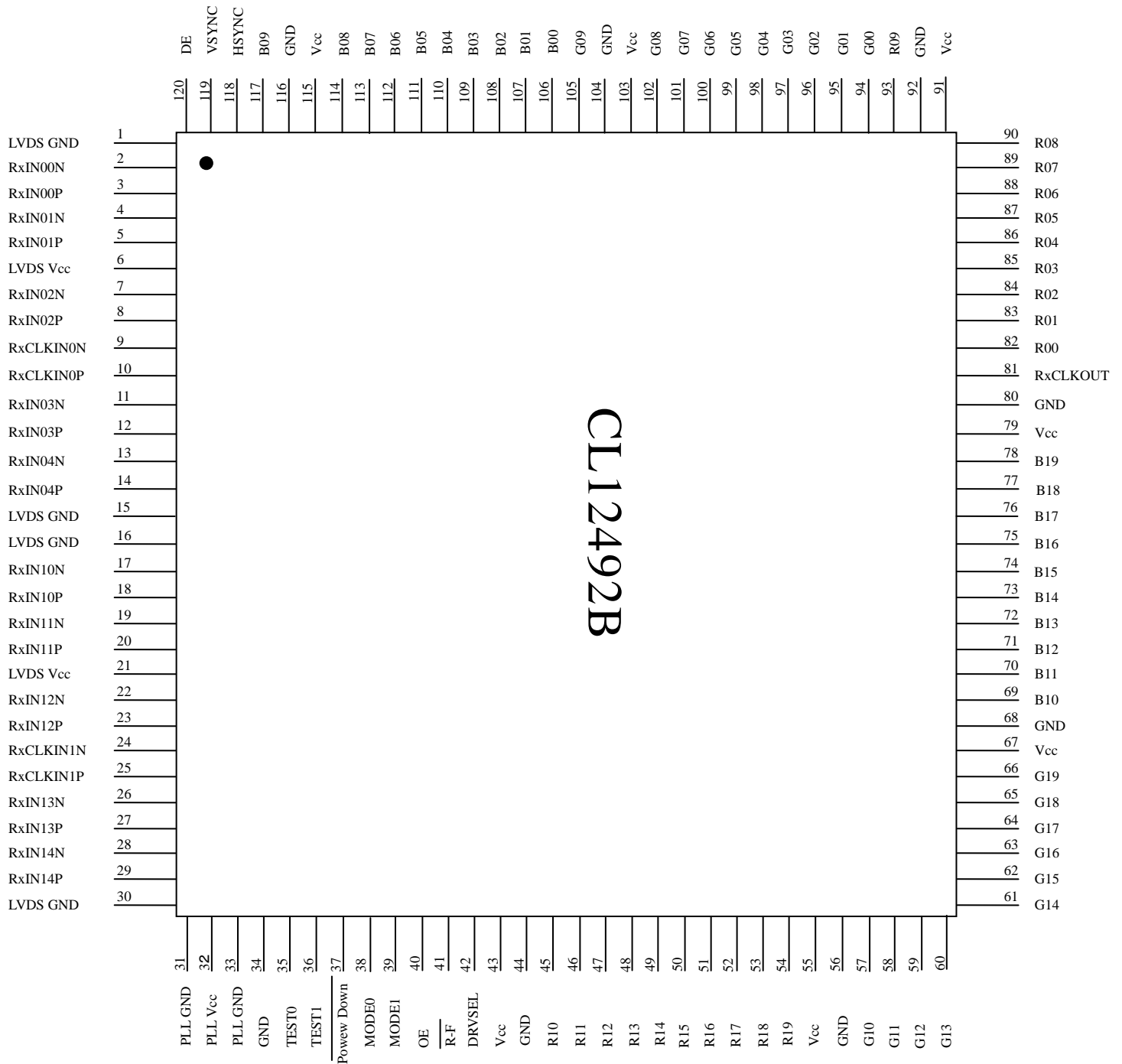
特徴

- クロック周波数 20MHz~270MHz 対応
- 3.3V 単一電源
- クロック・エッジ・プログラマブル
- デュアル・リンク、シングル・リンクをサポート
- RGB 18/24/30 ビットをサポート
- VGA, SVGA, XGA, SXGA, UXGA, QXGA の高解像度をサポート
- バス幅の低減によりケーブル、コネクタを小型化可能
- PLL 外付け部品内蔵
- 消費電源を低減するパワー・ダウンモード
- 全ての差動入力にフェイル・セーフ機能をサポート
- 高密度実装を可能にする 120 ピン TQFP パッケージ

ブロック図



端子配列



端子説明

端子名称	端子数	I/O	端子機能		
RxIN00N~04N	10	IN	1st Link LVDS 差動データ入力		
RxIN00P~04P			デュアルリンク時 1st ピクセル入力データ		
RxCLKIN0N/0P	2	IN	1st Link LVDS 差動クロック入力		
RxIN10N~14N	10	IN	2nd Link LVDS 差動データ入力		
RxIN10P~14P			シングルリンク時端子未使用		
RxCLKIN1N/1P	2	IN	2nd Link LVDS 差動クロック入力		
R00~R09	30	OUT	1st ピクセル LVCMOS データ出力		
G00~G09					
B00~B09					
R10~R19	30	OUT	2nd ピクセル LVCMOS データ出力		
G10~G19					
B10~B19					
RxCLKOUT	1	OUT	LVCMOS レベル クロック出力		
DE	1	OUT	データイネーブル出力		
VSYNC	1	OUT	Vsync 出力		
HSYNC	1	OUT	Hsync 出力		
OE	1	IN	H:出力 有効 L:出力 無効(全出力ハイインピーダンス)		
$\overline{\text{Power Down}}$	1	IN	H:ノーマル動作 L:パワーダウン (全出力ハイインピーダンス)		
$\overline{\text{R_F}}$	1	IN	プログラマブル可能なエッジ・ストロブ選択 H:立上りエッジ, L:立下りエッジ		
MODE0/MODE1	2	IN	Data Mode		
			MODE	MODE	Mode
			1	0	
			L	L	Dual Link (Dual-in/Dual-out)
			L	H	未使用
H	L	未使用			
H	H	Single Link (single-in/single-out)			
TEST0/TEST1	2	IN	テストピン L: ノーマル動作		
DRVSEL	1	IN	出力ドライバ能力 H:ハイパワー, L:ローパワー		
Vcc / GND	7/8	IN	電源/グラウンド LVCMOS 入力用		
PLL Vcc / PLL GND	1/2	IN	電源/グラウンド PLL 用		
LVDS Vcc / LVDS GND	2/4	IN	電源/グラウンド LVDS 出力用		