

概要

CL12601IP340 は、24 ビットのデータの LVCMOS 並列データを 3-チャンネルの LVDS 直列データに変換します。また、クロック信号もトランスミッタ PLL 回路で位相調整され 1-チャンネルの LVDS データに変換します。CL12601IP340 は、ピン入力 (R_F) により立上りまたは立下りエッジを選択できるようにクロック・エッジ・プログラマブルを採用しています。クロック周波数 340MHz 時、24 ビットの直列データは、LVDS データ 1-チャンネルあたり 680Mbps で伝送されます。CL12601IP340 トランスミッタはバス幅が広く高速な CMOS インターフェースで問題となっている EMI やケーブルサイズを解決するには理想的です。

特徴

- 入力クロック周波数 20MHz~85MHz (max: 112MHz) 対応
- 出力クロック周波数 80MHz~340MHz (max: 448MHz)
出力データ伝送レート 160Mbps~680Mbps (max: 896MHz)
- 3.3V (Option : 2.5 / 2.8V) 電源 (Option : 1.0 / 1.2 / 1.8V ロジック部 / レベルシフタ)
- クロック・エッジ・プログラマブル
- バス幅の低減によりケーブルを小型化可能
- PLL 外付け部品内蔵
- 消費電流を低減するパワー・ダウンモード
- 低 EMI を実現する ±200mV 差動信号振幅
- LVDS DDR 方式

ブロック図

