

概要

CL12623IP650 は、各チャンネルの 8 ビットの LVCMOS 並列データ (~81.25MHz) を直列 sub-LVDS クロック/データストリーム (~650Mbps) に変換します。このチップセットは携帯カメラモジュールからベースバンドプロセッサへの接続の手段として理想的です。SMIA 標準仕様/CCP での異なる Class (0 か 1,2) を選択する端子 (CLS) を提供しています。また、SMIA と DDR 方式を選択する端子 (MDS) によりモードを切り替える事が可能です。CL12623IP650 トランスミッタはバス幅が広く高速な CMOS インターフェースで問題となっている EMI やケーブルサイズを解決するには理想的です。

特徴

- 入力クロック周波数 20MHz~81.25MHz 対応
- 出力クロック周波数 80MHz~325MHz 出力データ伝送レート 160Mbps~650Mbps
- SMIA / CCP Class0, 1, 2 準拠
- CCP Class0、CCP Class1, 2 サポート (CLS 端子にて設定)
- DDR 方式サポート(MDS にて設定)
- 高速伝送
 - パラレル入力: ~81.25MHz (CLK0, 1, 2, D0, 1, 2<7:0>)
 - シリアル出力: CCP Class0 ~208Mbps (Data0, 1, 2+/-, Clk0, 1, 2+/-)
 - CCP Class1, 2 208~650Mbps (Data0, 1, 2+/-, Strb0, 1, 2+/-)
 - DDR Format ~650Mbps (Data0, 1, 2+/-, Clk0, 1, 2+/-)
- 2.8~3.3V (Option : 1.2 / 1.8v) 電源電圧 (Option : 1.0 / 1.2 / 1.8v Logic/Level Shifter)
- 入力クロック・エッジ・プログラマブル (R_F 端子にて設定)
- MSB/LSB・プログラマブル (SBS 端子にて設定)
- 低 EMI を実現する 150mV 差動信号振幅
- 消費電流を低減するパワー・ダウンモード ~1 μ A (PD 端子にて設定)

ブロック図

