

## 概要

CL12624IP650 は、sub-LVDS クロック/データストリーム（～650Mbps）を 8 ビットの LVCMOS 並列データヘデータ復元する高速レシーバです。LVCMOS クロック出力（～81.25MHz）はデータを並列伝送します。このチップセットは携帯カメラモジュールからベースバンドプロセッサへの接続の手段として理想的です。SMIA 標準仕様/CCP での異なる Class（0 か 1,2）を選択する端子（CLS）を提供しています。また、SMIA と DDR 方式を選択する端子（MDS）によりモードを切り替える事が可能です。CL12624IP650 レシーバは、バス幅が広く高速なインターフェースで問題となっている EMI やケーブルサイズを解決するには理想的です。

## 特徴

- 入力クロック周波数 80MHz~325MHz 出力データ伝送レート 160Mbps~650Mbps
- 出力クロック周波数 20MHz~81.25MHz 対応
- sub-LVDS 入力、LVCMOS 出力
- SMIA / CCP Class0, 1, 2 準拠
- CCP Class0、CCP Class1, 2 サポート (CLS 端子にて設定)
- DDR 方式サポート(MDS にて設定)
- 高速伝送
 

シリアル入力:	CCP Class0	～208Mbps (Data0, 1, 2+/-, Clk0, 1, 2+/-)
	CCP Class1, 2	208～650Mbps (Data0, 1, 2+/-, Strb0, 1, 2+/-)
	DDR Format	～208Mbps (Data0, 1, 2+/-, Clk0, 1, 2+/-)
- パラレル出力: ～81.25MHz (CLK0, 1, 2, D0, 1, 2<7:0>)
- 2.8~3.3V (Option : 1.8V) 電源電圧 (Option : 1.0 / 1.2 / 1.8V Logic/Level Shifter)
- 出力クロック・エッジ・プログラマブル (R\_F 端子にて設定)
- MSB/LSB・プログラマブル (SBS 端子にて設定)
- 低 EMI を実現する 150mV 差動信号振幅
- 消費電源を低減するパワー・ダウンモード ~1μA (PD 端子にて設定)
- フェイル・セーフ機能搭載

## ブロック図

