

概要

CL12655IPは、各チャンネルの8ビットのLVCMOS並列データを直列MIPI-DPHYとMDDI ver.1.2, SMIA CCP class 0, 1, 2とDDR クロック/データストリームに変換します。このチップセットは携帯カメラモジュールからベースバンドプロセッサへの接続の手段として理想的です。SMIA 標準仕様/CCP での異なる Class (0 か 1,2) を選択する端子 (CLS) を提供しています。また、MIPI-DPHY と MDDI および SMIA と DDR 方式を選択する端子 (MDS) によりモードを切り替える事が可能です。CL12655IP トランスミッタはバス幅が広く高速な CMOS インターフェースで問題となっている EMI やケーブルサイズを解決するには理想的です。

特徴

- 入力クロック周波数 20MHz~125MHz 対応
- 出力クロック周波数 80MHz~500MHz 出力データ伝送レート 160Mbps~1Gbps
- MIPI-DPHY Ver.1.00.00 / MDDI ver.1.2 / SMIA CCP Class0, 1, 2 準拠
- SMIA CCP Class0、Class1, 2 サポート (CLS 端子にて設定)
- MIPI-DPHY / MDDI ver.1.2 / SMIA / DDR 方式サポート(MDS にて設定)
- 高速伝送

パラレル入力:		~125MHz (CLKI0~n, DI0~n<7:0>)
シリアル出力:	MIPI-DPHY	~1Gbps (Data0~n+/-, Clk+/-)
	MDDI ver.1.2	~1Gbps (Data0~n+/-, Clk+/-)
	SMIA CCP Class0	~208Mbps (Data0~n+/-, Clk+/-)
	SMIA CCP Class1, 2	208~650Mbps (Data0~n+/-, Strb+/-)
	DDR Format	~650Mbps (Data0~n+/-, Clk+/-)
- 1.8V (Option : 2.8/3.3v) 電源電圧 (Option : 1.0 / 1.2 / 1.8v Logic/Level Shifter)
- 入力クロック・エッジ・プログラマブル (R_F 端子にて設定)
- MSB/LSB・プログラマブル (SBS 端子にて設定)
- 低 EMI を実現する 150/200mV 差動信号振幅
- 消費電流を低減するパワー・ダウンモード ~1 μ A (PD 端子にて設定)

ブロック図

