

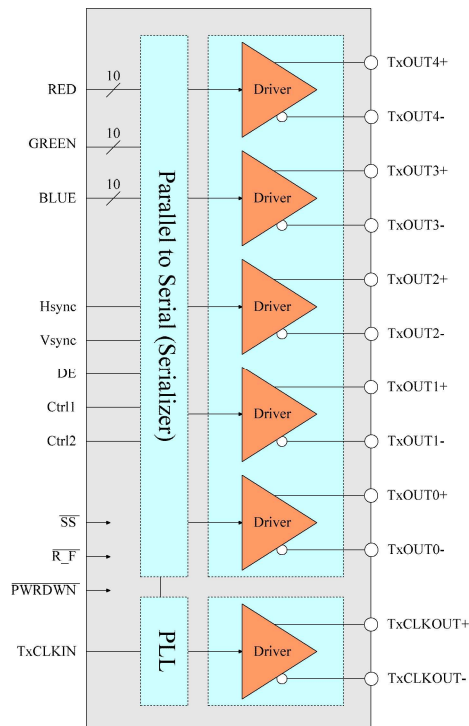
**概要**

CL12481D は、35 ビットの(30 ビットの RGB データと LCD タイミング・制御信号[HSYNC, VSYNC, DE, Control 1,Control 2]の 5 ビット)の LVCMOS 並列データを 5-チャンネルの LVDS 直列データに変換します。また、クロック信号もトランスミッタ PLL 回路で位相調整され1-チャンネルの LVDS データに変換します。CL12481D は、ピン入力 (R\_F) により立上りまたは立下りエッジを選択できるようにクロック・エッジ・プログラマブルを採用しています。クロック周波数 85MHz 時、30 ビットの RGB データと 5 ビットの LCD タイミングと制御信号(HSYNC, VSYNC, DE, Control 1,Control 2) は、LVDS データ 1-チャンネルあたり 595Mbps で伝送されます。CL12481D トランスミッタはバス幅が広く高速な LVCMOS インタフェースで問題となっている EMI やケーブルサイズを解決するには理想的です。

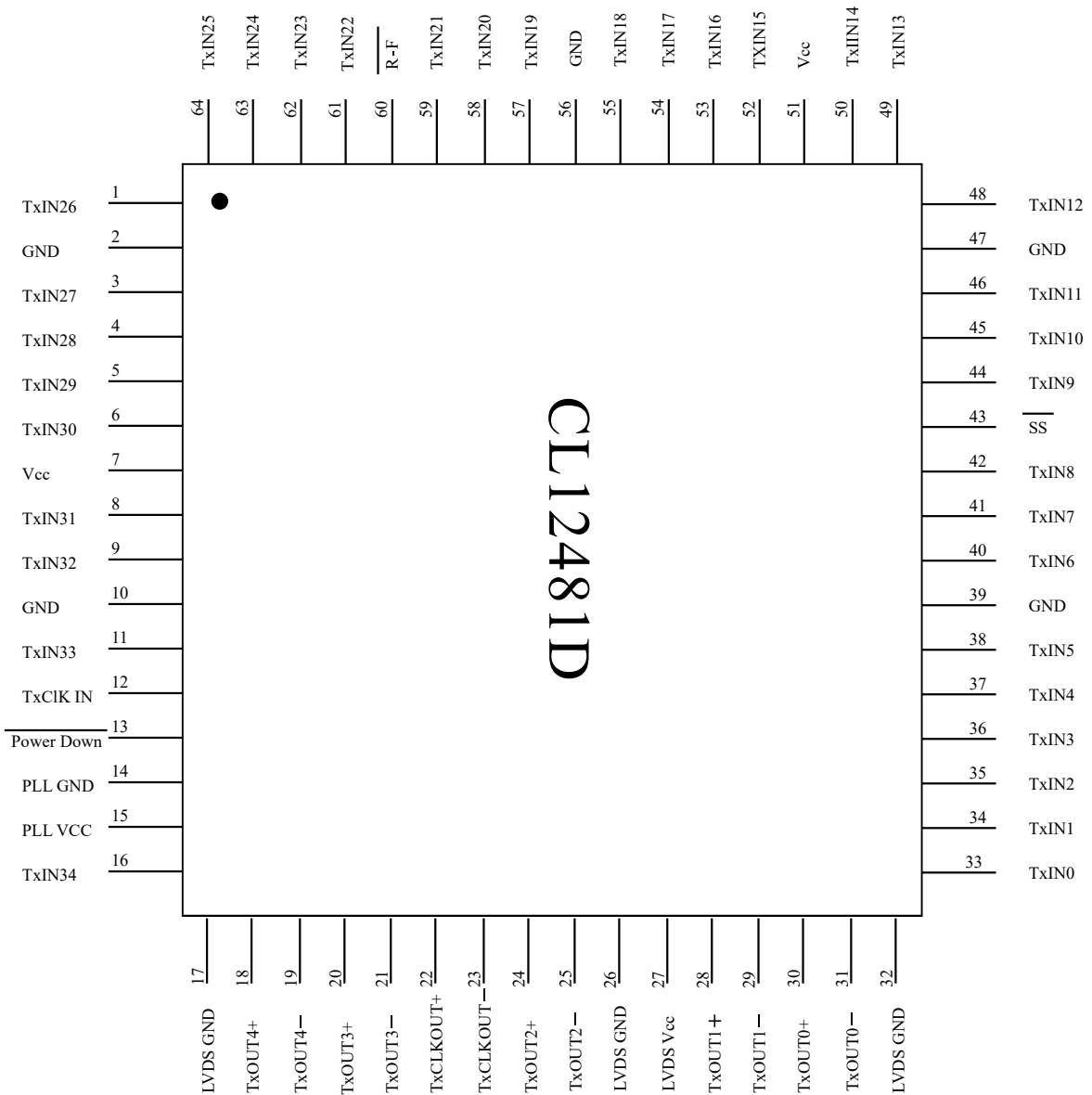
**特徴**

- 入力クロック周波数 20MHz~85MHz 対応
- 出力クロック周波数 20MHz~85MHz 出力データ伝送レート 140Mbps~595Mbps
- 3.3V 単一電源
- クロック・エッジ・プログラマブル
- VGA, SVGA, XGA, SXGA, SXGA 以上の高解像度をサポート
- バス幅の低減によりケーブル、コネクタを小型化可能
- PLL 外付け部品内蔵
- 消費電流を低減するパワー・ダウンモード
- 高密度実装を可能にする 64 ピン TQFP パッケージ
- 低 EMI を実現する 345mV 差動信号振幅
- 200mV 差動信号振幅サポート
- THine 社製 THC63LVD103 ピン互換

**ブロック図**



端子配列



## 端子説明

端子名称	端子数	I/O	端子機能
TxIN	35	IN	LVCMOS データ入力
TxOUT+	5	OUT	正相 LVDS 差動データ出力
TxOUT-	5	OUT	逆相 LVDS 差動データ出力
TxCLKIN	1	IN	LVCMOS レベル クロック入力
TxCLKOUT+	1	OUT	正相 LVDS 差動クロック出力
TxCLKOUT-	1	OUT	逆相 LVDS 差動クロック出力
$\overline{\text{Power Down}}$	1	IN	H: ノーマル動作 L: パワーダウン (全出力ハイインピーダンス)
$\overline{\text{R\_F}}$	1	IN	プログラマブル可能なエッジ・ストロープ選択 H: 立上りエッジ, L: 立下りエッジ
$\overline{\text{SS}}$	1	IN	出力差動振幅電圧選択 H: 345mV 振幅, L: 200mV 振幅
Vcc / GND	2/5	IN	電源/グランド LVCMOS 入力用
PLL Vcc / PLL GND	1/1	IN	電源/グランド PLL 用
LVDS Vcc / LVDS GND	1/3	IN	電源/グランド LVDS 出力用