概要

CL12672IP は、MIPI –DPHY と MDDI ver.1.2 クロック/データストリームを 8 ビットの LVCMOS 並列データへデータ復元する高速マルチ・レシーバです。LVCMOS クロック出力はデータを並列伝送します。このチップセットは携帯カメラモジュールからベースバンドプロセッサへの接続の手段として理想的です。また、MIPI-DPHY と MDDI 方式を選択する端子（MDS）によりモードを切り替える事が可能です。CL12672IP は、バス幅が広く高速なインターフェースで問題となっている EMI やケーブルサイズを解決するには理想的です。

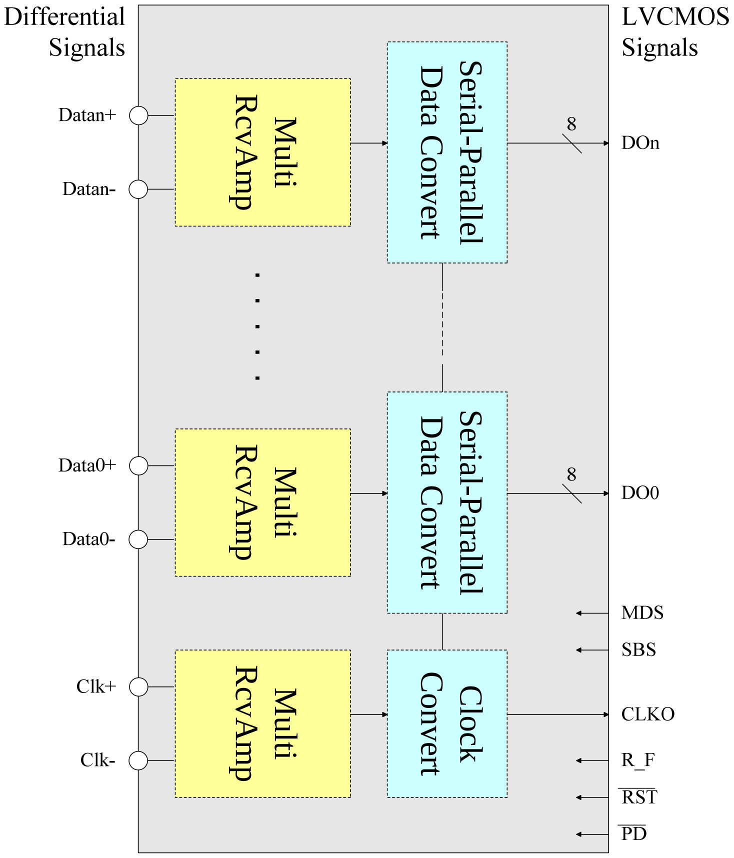
特徴

- 入力クロック周波数 80MHz~500MHz　出力データ伝送レート 160Mbps~1Gbps
- 出力クロック周波数 20MHz~125MHz 対応
- 差動入力、LVCMOS 出力
- MIPI-DPHY Ver.1.00.00 / MDDI ver.1.2 準拠
- MIPI-DPHY / MDDI ver.1.2 方式サポート(MDS にて設定)
- 高速伝送

シリアル入力:	MIPI-DPHY	~1Gbps (Data0~n+/-, Clk+/-)
	MDDI ver.1.2	~1Gbps (Data0~n+/-, Clk+/-)
パラレル出力:		~125MHz (CLKO, DO0~n<7:0>)

- 1.8V (Option：2.8/3.3V) 電源電圧 (Option : 1.0 / 1.2 / 1.8V Logic/Level Shifter)
- 出力クロック・エッジ・プログラマブル (R_F 端子にて設定)
- MSB／LSB・プログラマブル (SBS 端子にて設定)
- 低 EMI を実現する 150/200mV 差動信号振幅
- 消費電源を低減するパワー・ダウンモード ~1μA (PD 端子にて設定)

ブロック図



改版履歴

版 数	日 付	改版内容
0.00	2010 年 1 月 20 日	初版