

## 概 要

CL12683M4T3AM6AIC は、カメラモジュールもしくは CMOS イメージ・センサ(CIS)とホスト・システム間を接続するためのトランスミッタです。CL12683M4T3AM6AIC は、sub-LVDS / mini-LVDS / LVDS / HiSPi(SLVS-400) / MIPI-DPHY / CMOS の 6 つのインターフェイス・タイプを最大 1Gbps の伝送でサポートします。CL12683M4T3AM6AIC はモードの切り替えだけで同一 PAD でインターフェイス・タイプを変更可能です。

## 特 徴

- MIPI DPHY v1-1 / MIPI CSI / TIA/EIA-644 LVDS / SLVS-400 準拠
- ほとんどの CMOS イメージ・センサの直列差動出力信号をサポート
  - 1) sub-LVDS 直列 / 並列
  - 2) mini-LVDS (小振幅 LVDS モード)
  - 3) LVDS
  - 4) HiSPi (SLVS-400)
  - 5) MIPI DPHY (最大 4-レーン)
  - 6) CMOS 1.8V (最大 10MHz)
- 入力クロック周波数: ~125MHz      入力データ伝送スピード: ~250Mbps
- 出力クロック周波数: ~500MHz      出力データ伝送スピード: ~1Gbps
- 電源電圧: 単一 1.8V
- 最大直列入力ポート(レーン): クロック 1-ポート / データ 4-ポート (レーン)
- FRPCK 端子による入力直列クロックエッジ可変可能
- BTSEL[1:0]端子による入力形式の選択可能(2/4/8 ビット)
- SBSEL 端子による MSB/LSB 選択可能
- 消費電流: (プロセス: FF, 温度: 125°C, 電源電圧: 最大)  $I_{TOTAL}=V_{CC}+V_{DD}$ 
  - 動作時最大      100mA
  - パワーダウン時最大      10uA (PWDN\_ALL 端子=0 時)
- ESD (HBM / MM / CDM / ラッチアップ): 2kV / 200V / 500V / 100mA

パッケージとピン配置

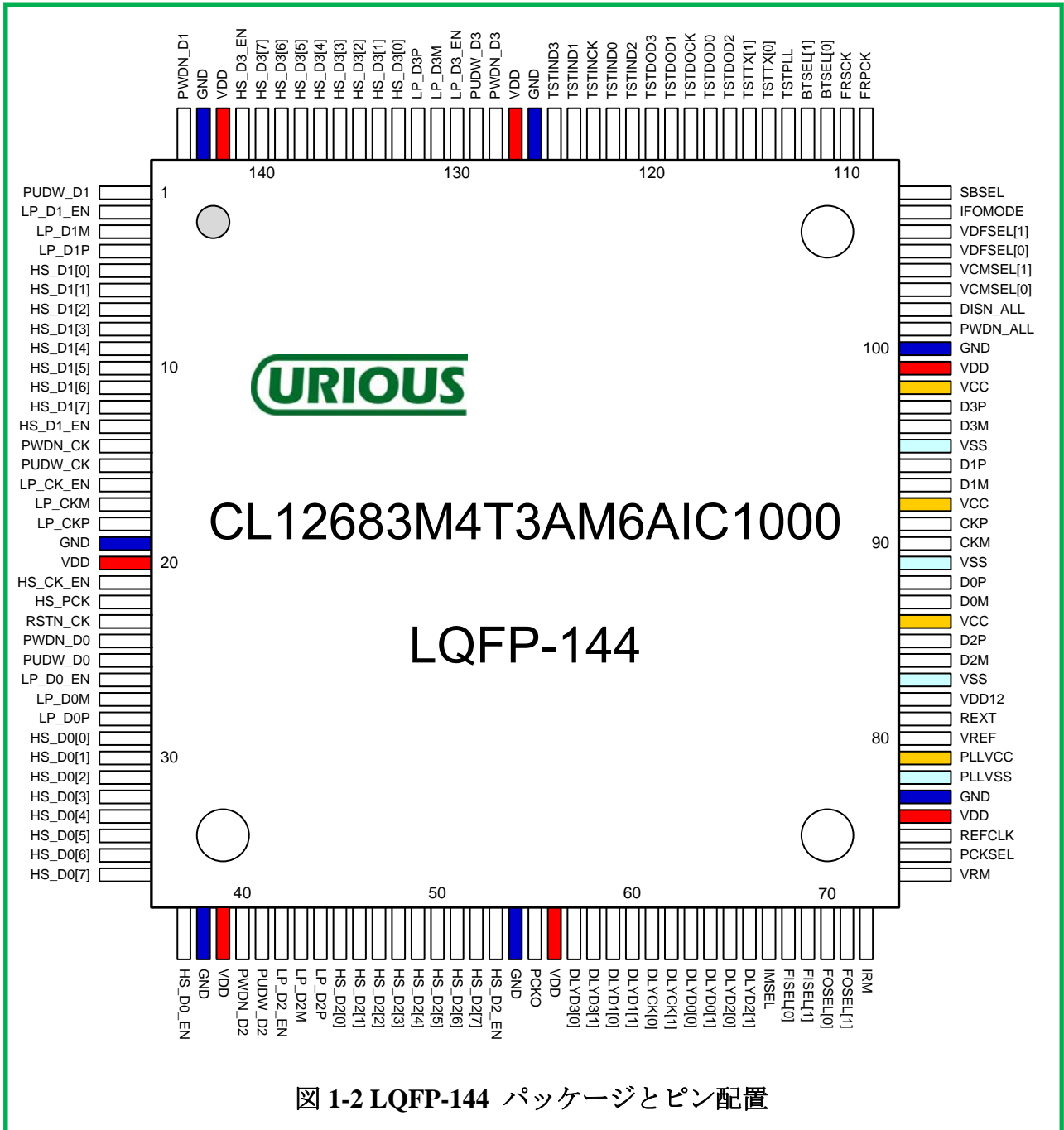


図 1-2 LQFP-144 パッケージとピン配置



1	2	3	4	5	6	7	8	9	10	11	12
○ PWDN_CK	○ HS_D1[3]	○ HS_D1[2]	○ PUDW_D1	○ HS_D3[1]	○ HS_D3[0]	○ TSTIND0	○ TSTIND2	○ FRSCCK	○ FRPCK	○ VDFSEL[1]	○ VDFSEL[0]
○ PUDW_CK	○ HS_D1[4]	○ HS_D1[1]	○ PWDN_D1	○ HS_D3[2]	○ LP_D3P	○ TSTINCK	○ TSTDOD3	○ BTSEL[0]	○ SBSEL	○ VCMSEL[1]	○ VCMSEL[0]
○ LP_CK_EN	○ HS_D1[5]	○ HS_D1[0]	● GND (D)	○ HS_D3[3]	○ LP_D3M	○ TSTIND1	○ TSTDOD1	○ BTSEL[1]	○ IFOMODE	○ NDIS_ALL	○ PWDN_ALL
○ LP_CKM	○ HS_D1[6]	○ LP_D1P	● VDD (D)	○ HS_D3[4]	○ LP_D3_EN	○ TSTIND3	○ TSTDODCK	○ TSTPLL	● VCC	● VDD (D)	● GND (D)
○ LP_CKP	○ HS_D1[7]	○ LP_D1M	○ HS_D3_EN	○ HS_D3[5]	○ PUDW_D3	● GND (D)	○ TSTDOD0	○ TSTRX[0]	○ VSS	○ D3M	○ D3P
● GND (D)	○ HS_D1_EN	○ LP_D1_EN	○ HS_D3[7]	○ HS_D3[6]	○ PWDN_D3	● VDD (D)	○ TSTDOD2	○ TSTRX[1]	● VCC	○ D1M	○ D1P
● VDD (D)	○ LP_D0_EN	○ HS_D0_EN	○ LP_D2M	○ LP_D2P	● VDD (D)	○ PCKO	○ IMSEL	○ FISEL[0]	○ VSS	○ CKM	○ CKP
○ HS_CK_EN	○ LP_D0M	○ HS_D0[7]	○ LP_D2_EN	○ HS_D2[0]	● GND (D)	○ DLYD3[0]	○ DLYD2[1]	○ FISEL[1]	● VCC	○ D0M	○ D0P
○ HS_PCK	○ LP_D0P	○ HS_D0[6]	○ PUDW_D2	○ HS_D2[1]	○ HS_D2_EN	○ DLYD3[1]	○ DLYD2[0]	○ FOSEL[0]	○ VSS	○ D2M	○ D2P
○ RSTN_CK	○ HS_D0[0]	○ HS_D0[5]	○ PWDN_D2	○ HS_D2[2]	○ HS_D2[7]	○ DLYD1[0]	○ DLYD0[1]	○ FOSEL[1]	○ VDD12	● PLLVDD (D)	○ PLLVSS (D)
○ PWDN_D0	○ HS_D0[1]	○ HS_D0[4]	● VDD (D)	○ HS_D2[3]	○ HS_D2[6]	○ DLYD1[1]	○ DLYD0[0]	○ IRM	○ REXT	○ VREF	● GND (D)
○ PUDW_D0	○ HS_D0[2]	○ HS_D0[3]	● GND (D)	○ HS_D2[4]	○ HS_D2[5]	○ DLYCK[0]	○ DLYCK[1]	○ VRM	○ PCKSEL	● VDD (D)	○ REFCLK

図 1-3 FBGA-144 パッケージとピン配置